

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日 期：西元 2003 年 06 月 05 日
Application Date

申 請 案 號：092115186
Application No.

申 請 人：南亞科技股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 8 月 5 日
Issue Date

發文字號：
Serial No. 09220789500

申請日期：	IPC分類	
申請案號：		
(以上各欄由本局填註)		
發明專利說明書		
一、 發明名稱	中文	具有單邊埋藏帶之記憶胞的製造方法
	英文	Method of Fabricating a Memory Cell with a Single Sided Buried Strap
二、 發明人 (共2人)	姓名 (中文)	1. 蕭智元 2. 陳逸男
	姓名 (英文)	1. Chih-Yuan Hsiao 2. Yi-Nan Chen
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣新莊市新泰路255巷40號3樓 2. 台北市北投區建民路151巷4號
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien

四、中文發明摘要 (發明名稱：具有單邊埋藏帶之記憶胞的製造方法)

本發明提供一種具有單邊埋藏帶之記憶胞的製造方法。提供具有溝槽的一基底，溝槽下部有一溝槽電容。形成一領圈絕緣層於溝槽上部的側壁上。形成一導體層於溝槽電容上方。去除部分的導體層與領圈絕緣層而形成具有第一與第二側壁之一開口，且領圈絕緣層頂部低於第一導體層頂部。對第一側壁表面進行含氟離子之傾角度植入製程。進行熱氧化製程，形成一第一氧化層於第一側壁上，以及形成一第二氧化層於第二側壁上，第一氧化層厚度大於第二氧化層厚度。去除第二氧化層。形成埋藏帶於開口底部，埋藏帶係藉由第一氧化層而與第一側壁絕緣隔離。

伍、(一)、本案代表圖為：第2E圖。

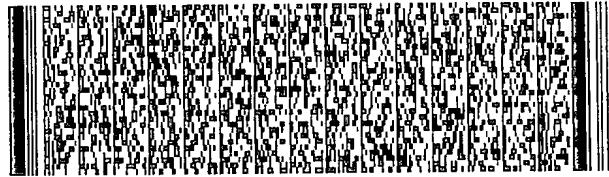
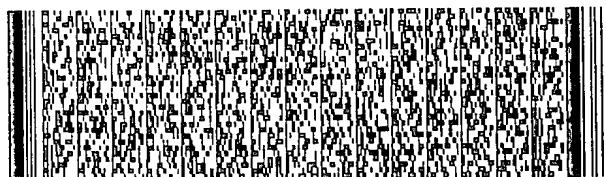
(二)、本案代表圖之元件代表符號簡單說明：

200~半導體基底；

202~氧化墊層；

六、英文發明摘要 (發明名稱：Method of Fabricating a Memory Cell with a Single Sided Buried Strap)

A method of fabricating a memory cell with a singled sided buried strap. A trench having a trench capacitor is provided. A collar oxide and a conductive layer are formed on the sidewalls above the trench capacitor. Part of the conductive layer and part of the collar oxide are removed to form an opening. An F+-containing angle implantation is performed on a first side of the opening. Then, a

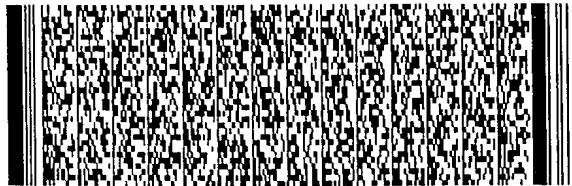


四、中文發明摘要 (發明名稱：具有單邊埋藏帶之記憶胞的製造方法)

204~氮化矽層；
210~墊層；
212~深溝槽；
214~領圈氧化層；
216~第一導體層；
218~開口；
2181~第一側壁；
2182~第二側壁；
220~含氟離子之傾角度植入製程。

六、英文發明摘要 (發明名稱：Method of Fabricating a Memory Cell with a Single Sided Buried Strap)

first oxide layer is formed on the first side and a second oxide layer is formed on the second side of the opening, wherein the first oxide layer is thicker than either of the second oxide layer and the collar oxide. The second oxide layer is removed. A buried strap is formed at the bottom of the opening. Thus, the buried strap is isolated from the first side by means of the first oxide



四、中文發明摘要 (發明名稱：具有單邊埋藏帶之記憶胞的製造方法)

六、英文發明摘要 (發明名稱：Method of Fabricating a Memory Cell with a Single Sided Buried Strap)

layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明是有關於一種具有電晶體的記憶胞製程，特別是有關於一種具有垂直式電晶體的動態隨機存取記憶體(DRAM)之記憶胞製程。

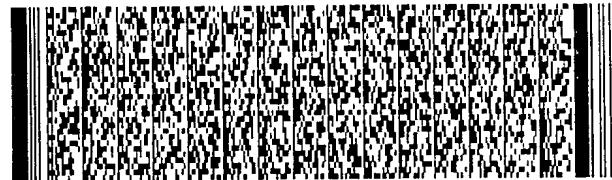
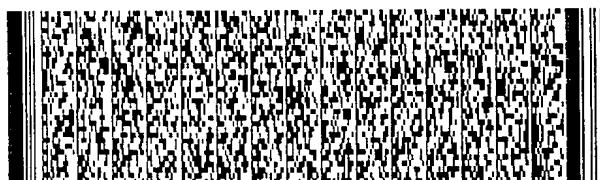
【先前技術】

動態隨機存取記憶體 (Dynamic Random Access Memory，以下簡稱為DRAM) 係以記憶胞 (memory cell) 內電容器的帶電荷 (charging) 狀態來儲存資料。而每一DRAM記憶胞係由一金氧半場效電晶體(MOSFET)以及一電容器所組成，該金氧半場效電晶體(MOSFET)的源極係與該電容器電性連接。為數眾多的記憶胞係構成一記憶胞陣列 (cell array)，該記憶胞陣列再與周邊電路 (peripheral circuit) 連結而製作出一DRAM元件。

近年來，在元件積集度要求越來越高的情況下，使得金氧半場效電晶體的尺寸必須不斷地縮小才能提升DRAM元件的積集度。例如，利用立體化(three-dimensional)電容器取代傳統的平面電容器。

以下利用第1A~1H圖來說明習知之具有垂直式電容器之記憶胞製程。

首先，請參閱第1A圖，先於一矽基底100上形成一墊層(pad layer)110圖案，該墊層110係包含一氧化墊層(未圖示)與一氮化矽層(未圖示)。然後，以該墊層110圖案為蝕刻罩幕，定義一深溝槽112於該基底100中。接著，利用



五、發明說明 (2)

習知製程形成一溝槽電容(未圖示)於該深溝槽112之下部(lower portion)。

請參閱第1B圖，形成一領圈氧化層(collar oxide layer)114於該深溝槽112上部(upper portion)之側壁上，且該領圈氧化層114位於該溝槽電容(未圖示)之上方。然後，形成一多晶矽層116填滿該深溝槽112。

請參閱第1C圖，去除部分該多晶矽層116直到剩餘之多晶矽層116'表面低於該基底100表面。

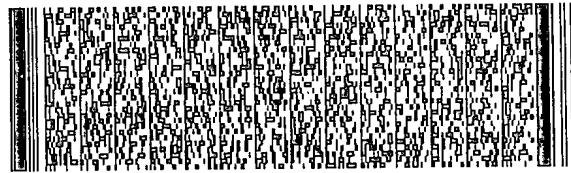
請參閱第1D圖，進行一蝕刻程序，去除部分該領圈氧化層114直到剩餘之領圈氧化層114'表面低於剩餘之多晶矽層116'表面。如此，即形成一開口118。

請參閱第1E圖，形成一經摻雜之多晶矽層(例如摻雜磷或砷，未圖示)填滿該開口118，然後回蝕該經摻雜之多晶矽層而形成一埋藏層120於該開口118之底部。

請參閱第1F圖，形成一絕緣層(未圖示)填滿該開口118，然後部分回蝕該絕緣層而形成一絕緣層122於該埋藏層120上。

請參閱第1G圖，利用熱氧化法(thermal oxidation)形成一閘極氧化層124於該開口118之側壁上。然後再形成一閘極126於該絕緣層122上。

請參閱第1H圖，形成一絕緣間隙壁(spacer)128於該開口118上部之側壁上，然後形成一導體層130填滿該開口118。之後，形成淺溝槽隔離(shallow trench isolation, STI)132而定義主動區(active areas)，以及



五、發明說明 (3)

去除該墊層110而形成平坦之該基底100表面。

請參閱第1H圖，形成一字元線(word line)134於該導體層130上。接著，進行離子植入製程而形成一汲極區136於該基底100表面中。由於上述眾製程的高溫使得該埋藏層120向外擴散(out-diffuse)而形成一源極區138。

然而，由於上述習知製程所形成的源極區138係一環狀，當相鄰記憶胞之源極區138的間距" d"隨著尺寸縮小化而越來越接近時，這會造成嚴重漏電流(leakage)之問題。因此，如何解決上述問題乃成為業界重要之課題。

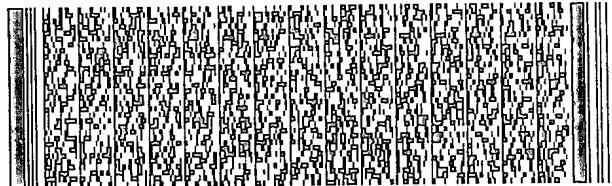
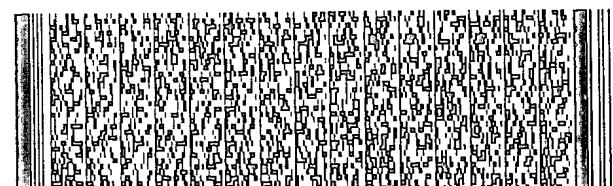
美國專利第6432774號有揭示一種具有垂直式電晶體的記憶胞製程，雖然該方法可形成單邊之源極區，然而該方法所製作之部分相鄰記憶胞的源極區係互相面對面，因此在 $0.11\mu m$ 以下的製程中可能會有上述之漏電問題。

美國專利第5519236號有揭示一種具有垂直式電晶體的記憶胞製程，該方法係藉由光阻罩幕之微影蝕刻方式去除一邊側壁的氧化層，而能夠形成單邊之源極區。然而該方法可能會因為有光阻罩幕對不準的問題，所以該方法在狹窄之溝槽製程中並不方便使用。

【發明內容】

有鑑於此，本發明的主要目的係提供一種具有單邊埋藏帶(single sided buried strap)之記憶胞的製造方法。

本發明的另一目的係提供一種具有單邊埋藏帶



五、發明說明 (4)

(single sided buried strap) 之隨機動態存取記憶胞的製造方法。

本發明提供一種具有單邊埋藏帶之記憶胞的製造方法，包括下列步驟：

提供一基底；

形成一圖案化之墊層於該基底上；

以該墊層為罩幕，去除部分基底而形成一溝槽於該基底中；

形成一溝槽電容於該溝槽之下部；

形成一領圈絕緣層於該溝槽之上部的周圍壁上；

形成一第一導體層於該溝槽電容上方，並填滿該溝槽；

去除部分該第一導體層至一既定溝槽深度；

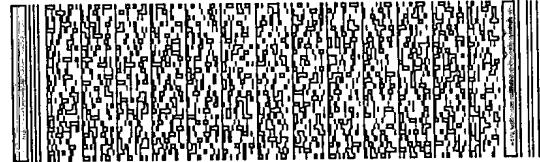
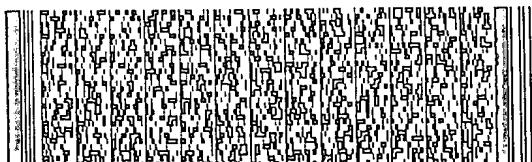
去除位於該第一導體層上方之該領圈絕緣層而形成一開口，其中剩餘之領圈絕緣層之頂部表面低於剩餘之第一導體層之頂部表面，而該開口具有一第一側壁與一第二側壁；

對該第一側壁之表面進行一含氟離子之傾角度植入製程；

進行一熱氧化製程，而形成一第一氧化層於該第一側壁上，以及形成一第二氧化層於該第二側壁上，其中該第一氧化層之厚度大於該第二氧化層之厚度；

去除該第二氧化層而露出該第二側壁；

形成當作是一埋藏帶的一第二導體層於該開口之底



五、發明說明 (5)

部，其中該第二導體層係藉由該第一氧化層而與該第一側壁絕緣隔離；

形成一絕緣層於該第二導體層上；

形成一閘極絕緣層於該第二側壁上；

形成當作是一閘極的一第三導體層於部分該開口中；

形成一間隙壁於該開口之側壁上；

形成一第四導體層填滿該開口；

形成一第五導體層於該第四導體層上；以及

形成一源極區與一汲極區於該基底中。

如此，根據本發明方法，可以解決習知之源極漏電問題（或稱埋藏層結合問題，BS mergence issue）。

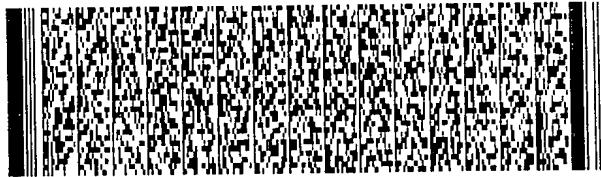
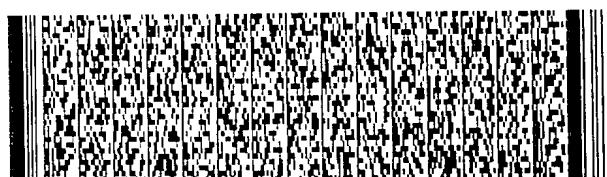
更者，本發明方法可適用於 $0.11\mu\text{m}$ 以下的溝槽製程，而能夠達成元件縮小化之目的。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

以下利用第2A~2J圖來說明本發明之具有單邊埋藏帶 (single sided buried strap) 之記憶胞 (memory cell) 的製程，在此以DRAM胞為例，但並非限定本發明。

首先，請參閱第2A圖，先於一半導體基底200上形成圖案化的一墊層 (pad layer) 210。該半導體基底200可以是由磊晶矽 (epitaxial silicon) 或絕緣層上有矽

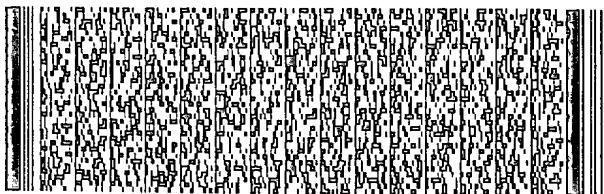


五、發明說明.(6)

(silicon on insulator)所製作而成，在此為簡化說明，該半導體基底200係以p型矽基底200為例。而該墊層210係由一氧化墊層202與一氮化矽層204所堆疊組成，該氧化墊層202可以是經由氧化法所形成之 SiO_2 層，該氮化矽層204可以是經由CVD(化學氣相沉積)法所形成之氮化矽(Si_3N_4/SiN)層。該墊層210之厚度範圍約係1500~3000埃。然後，以該墊層210為蝕刻罩幕，定義一深溝槽(deep trench)212於該基底200中。接著，利用習知製程形成一溝槽電容(trench capacitor，未圖示)於該深溝槽212之下部(lower portion)。為避免混淆本案之特徵，形成溝槽電容之習知製程(例如請參考美國專利第6190988號與美國專利第6326261號)在此不予以敘述。

請參閱第2B圖，形成一領圈氧化層(collar oxide layer)214於該深溝槽212上部(upper portion)之側壁(sidewalls)上，且該領圈氧化層214位於該溝槽電容(未圖示)之上方，該領圈氧化層214例如是由CVD法所形成之 SiO_2 層，其厚度例如是200~1000埃。然後，形成一第一導體層216填滿該深溝槽212並延伸至該墊層210上，該第一導體層216例如是經由CVD法所形成之摻雜有砷(As)或磷之多晶矽。

請參閱第2C圖，先利用CMP(化學機械研磨)法去除位於該墊層210上之該第一導體層216，然後再用蝕刻法部分回蝕該第一導體層216直到剩餘之第一導體層216'表面低於該基底200表面一既定溝槽深度(例如3000~5000埃)。

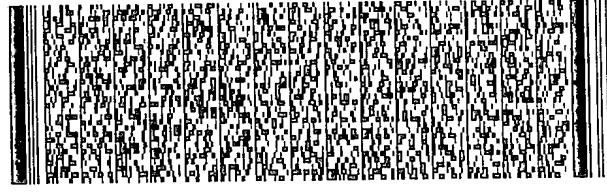
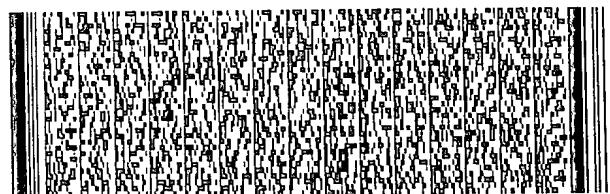


五、發明說明 .(7) ·

請參閱第2D圖，進行一過蝕刻程序(overetch process)，去除部分該領圈氧化層214直到剩餘之領圈氧化層214'表面低於剩餘之第一導體層216'表面。如此，即形成一開口218，而該開口218具有一第一側壁2181與一第二側壁2182。

請參閱第2E圖，第2E圖係本發明之關鍵步驟，對該第一側壁2181之表面進行一含氟離子之傾角度植入製程(angle implantation)220，其中該含氟離子之傾角度植入製程220係植入 F^+ 離子或 BF_2^+ 離子於該第一側壁2181表面。在此舉一例說明該含氟離子之傾角度植入製程220之製程條件，其製程條件包括：能量範圍係15~30keV以及劑量範圍係 $1E14~4.5E15$ ions/cm²。

請參閱第2F圖，進行溫度範圍係900~950 °C的一熱氧化製程(thermal oxidation)，而形成一第一氧化層224於該第一側壁2281上，以及同時形成一第二氧化層226於該第二側壁2282上，其中該第一氧化層224之厚度"b"大於該第二氧化層226之厚度"c"，而第一氧化層224與第二氧化層226例如是 SiO_2 層。這裡要特別說明的是，該第一氧化層224之厚度"b"也要大於該領圈氧化層214'之厚度"a"。本步驟之第一氧化層224的成長速率大於第二氧化層226之理論與實驗係揭示於「Solid State Technology No. 31, 2002 October 雜誌中Debra S. Woolsey所寫的"Enhanced discrete DMOS power trench gate oxide growth"」(如附件)，該附件中的第3圖係顯示經過 F^+ 或 BF_2^+ 離子植入之矽



五、發明說明 (8)

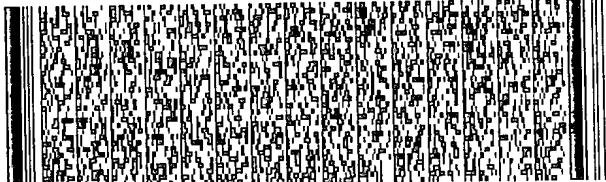
基底，其氧化層厚度(經由900~950 °C之熱氧化製程)是未經過該離子植入之矽基底的2~3倍。

請參閱第2G圖，利用等向性蝕刻(如濕蝕刻)去除該第二氧化層226而露出該第二側壁2182，此時第一氧化層224仍存在於該第一側壁2181上。這裡要特別說明的是，由於第一氧化層224比第二氧化層226厚，所以本發明不必像習知般地需要額外之罩幕保護第一氧化層224，因而本發明比習知方法簡化製程與節省成本。

請參閱第2G圖，利用沉積與回蝕製程，形成當作是一埋藏帶(buried strap, BS)的一第二導體層228於該開口218之底部，其中該第二導體層228係藉由該第一氧化層224而與該第一側壁2181絕緣隔離。該第二導體層228例如是摻雜有砷(As)或磷之多晶矽。

請參閱第2H圖，形成一絕緣層230於該第二導體層228上，該絕緣層230例如是CVD法所形成之 SiO_2 層，一般稱之為TT0(trench top oxide)層。接著，利用溫度範圍約係800~1000 °C之熱氧化法(thermal oxidation)，形成例如是 SiO_2 層的一閘極絕緣層232於該第二側壁2182上。然後，再形成例如是經摻雜的多晶矽之一第三導體層234(當作是閘極)於部分該開口218中。第2H圖中的符號236係表示第二導體層228經過上述與後述之高溫製程後所向外擴散(out-diffuse)之摻雜區，當作是一源極區(source region)236。

請參閱第2I圖，利用沉積與回蝕製程，形成例如是



五、發明說明·(9)

SiO_2 層的一絕緣間隙壁(spacer)238 於該開口218 上部之側壁上，然後形成一第四導體層240 填滿該開口218。之後，例如以CMP 製程去除該墊層210 而形成平坦之該基底200 表面。接著，形成淺溝槽隔離(shallow trench isolation, STI)242 而定義主動區(active areas)。

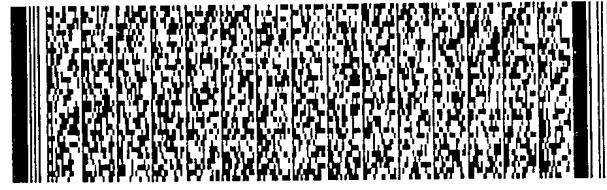
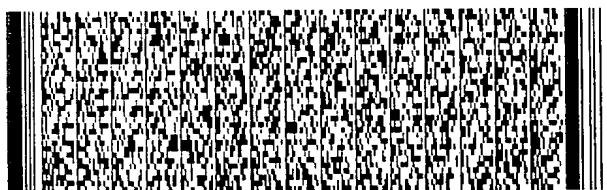
請參閱第2J 圖，形成當作是字元線(word line)的第五導體層244 於該第四導體層240 上。接著，進行n型離子(例如磷或砷離子)之植入製程而形成一汲極區(drain region)246 於該基底200 表面中。

【本發明之特徵及優點】

本發明方法之特徵在於：對第一側壁表面進行含氟離子之傾角度植入製程。進行熱氧化製程，形成一第一氧化層於第一側壁上，以及形成一第二氧化層於第二側壁上，第一氧化層厚度大於第二氧化層厚度。去除第二氧化層。形成埋藏帶於開口底部，埋藏帶係藉由第一氧化層而與第一側壁絕緣隔離。

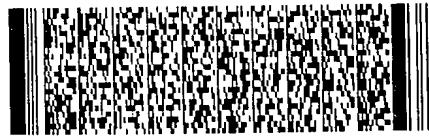
如此，根據本發明方法，可以解決習知之源極漏電問題(或稱埋藏層結合問題，BS mergence issue)。更者，本發明方法可適用於 $0.11 \mu\text{m}$ 以下的溝槽製程，而能夠達成元件縮小化之目的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神



五、發明說明 (10)

和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明。

第1A~1H圖係顯示習知之具有垂直式電容器之記憶胞
的製程剖面圖。

第2A~2J圖係顯示本發明之具有單邊埋藏帶之記憶胞
的製程剖面圖。

[符號說明]

習知部分(第1A~1H圖)

- 100~矽基底；
- 110~墊層；
- 112~深溝槽；
- 114~領圈氧化層；
- 116~多晶矽層；
- 118~開口；
- 120~埋藏層；
- 122~絕緣層；
- 124~閘極氧化層；
- 126~閘極；
- 128~絕緣間隙壁；
- 130~導體層；
- 132~淺溝槽隔離；
- 134~字元線；
- 136~汲極區；
- 138~源極區。



圖式簡單說明：

本案部分(第2A~2J圖)

200~半導體基底；

202~氧化墊層(例如是SiO₂層)；

204~氮化矽層；

210~墊層；

212~深溝槽；

214~領圈氧化層；

214'~剩餘之領圈氧化層；

216~第一導體層；

216'~剩餘之第一導體層；

218~開口；

2181~第一側壁；

2182~第二側壁；

220~含氯離子之傾角度植入製程；

224~第一氧化層；

226~第二氧化層；

228~第二導體層(埋藏帶)；

230~絕緣層；

232~閘極氧化層；

234~第三導體層(閘極)；

236~源極區；

238~絕緣間隙壁；

240~第四導體層；

242~淺溝槽隔離；



圖式簡單說明：

244~第五導體層(字元線)；

246~汲極區。



六、申請專利範圍

1. 一種具有單邊埋藏帶之記憶胞的製造方法，包括下列步驟：

提供一基底，該基底具有一溝槽；
形成一溝槽電容於該溝槽之下部；
形成一領圈絕緣層於該溝槽之上部的周圍壁上；
形成一第一導體層於該溝槽電容上方，並填滿該溝槽；

去除部分該第一導體層與部分該領圈絕緣層而形成一開口，其中剩餘之領圈絕緣層之頂部表面低於剩餘之第一導體層之頂部表面，而該開口具有一第一側壁與一第二側壁；

對該第一側壁之表面進行一含氟離子之傾角度植入製程；

進行一熱氧化製程，而形成一第一氧化層於該第一側壁上，以及形成一第二氧化層於該第二側壁上，其中該第一氧化層之厚度大於該第二氧化層之厚度；

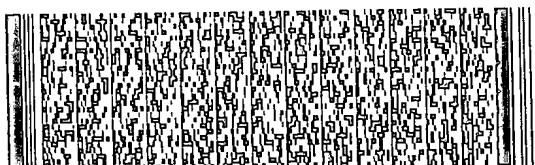
去除該第二氧化層而露出該第二側壁；以及

形成當作是一埋藏帶的一第二導體層於該開口之底部，其中該第二導體層係藉由該第一氧化層而與該第一側壁絕緣隔離。

2. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，更包括下列步驟：

形成一絕緣層於該第二導體層上；

形成一閘極絕緣層於該第二側壁上；



六、申請專利範圍

形成一閘極於該開口中；以及

形成一源極區與一汲極區於該基底中。

3. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該溝槽之形成步驟包括：

形成一圖案化的墊層(pad layer)於該基底上；以及以該墊層為罩幕，去除部分該基底而形成該溝槽於該基底中。

4. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該基底係一矽基底。

5. 如申請專利範圍第3項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該墊層係由一氧化墊層與一氮化層所堆疊組成。

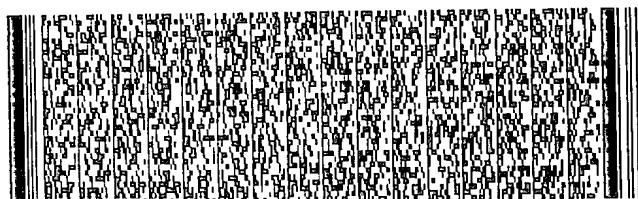
6. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該領圈絕緣層係一 SiO_2 層。

7. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該第一導體層係一經摻雜之多晶矽層。

8. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該含氟離子之傾角度植入製程係植入 F^+ 離子或 BF_2^+ 離子於該第一側壁表面。

9. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該含氟離子之傾角度植入製程之能量範圍係15~30keV。

10. 如申請專利範圍第9項所述之具有單邊埋藏帶之記



六、申請專利範圍

憶胞的製造方法，其中該含氟離子之傾角度植入製程之劑量範圍係 $1E14\sim4.5E15$ ions/cm²。

11. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該熱氧化製程之溫度範圍係900~950 °C。

12. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該第二導體層係一經摻雜之多晶矽層。

13. 如申請專利範圍第2項或所述之具有單邊埋藏帶之記憶胞的製造方法，其中該閘極氧化層係經由熱氧化法(thermal oxidation)所形成的SiO₂層。

14. 如申請專利範圍第13項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該熱氧化法之溫度範圍係800~1000 °C。

15. 一種具有單邊埋藏帶之記憶胞的製造方法，包括下列步驟：

提供一基底；

形成一圖案化之墊層於該基底上；

以該墊層為罩幕，去除部分基底而形成一溝槽於該基底中；

形成一溝槽電容於該溝槽之下部；

形成一領圈絕緣層於該溝槽之上部的周圍壁上；

形成一第一導體層於該溝槽電容上方，並填滿該溝槽；



六、申請專利範圍

去除部分該第一導體層至一既定溝槽深度；

去除位於該第一導體層上方之該領圈絕緣層而形成一開口，其中剩餘之領圈絕緣層之頂部表面低於剩餘之第一導體層之頂部表面，而該開口具有一第一側壁與一第二側壁；

對該第一側壁之表面進行一含氟離子之傾角度植入製程；

進行一熱氧化製程，而形成一第一氧化層於該第一側壁上，以及形成一第二氧化層於該第二側壁上，其中該第一氧化層之厚度大於該第二氧化層之厚度；

去除該第二氧化層而露出該第二側壁；

形成當作是一埋藏帶的一第二導體層於該開口之底部，其中該第二導體層係藉由該第一氧化層而與該第一側壁絕緣隔離；

形成一絕緣層於該第二導體層上；

形成一閘極絕緣層於該第二側壁上；

形成當作是一閘極的一第三導體層於部分該開口中；

形成一間隙壁於該開口之側壁上；

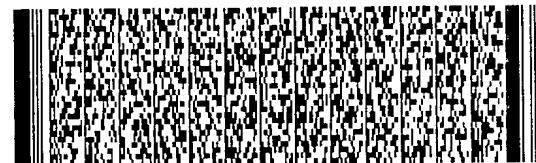
形成一第四導體層填滿該開口；

形成一第五導體層於該第四導體層上；以及

形成一源極區與一汲極區於該基底中。

16. 如申請專利範圍第15項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該基底係一矽基底。

17. 如申請專利範圍第15項所述之具有單邊埋藏帶之



六、申請專利範圍

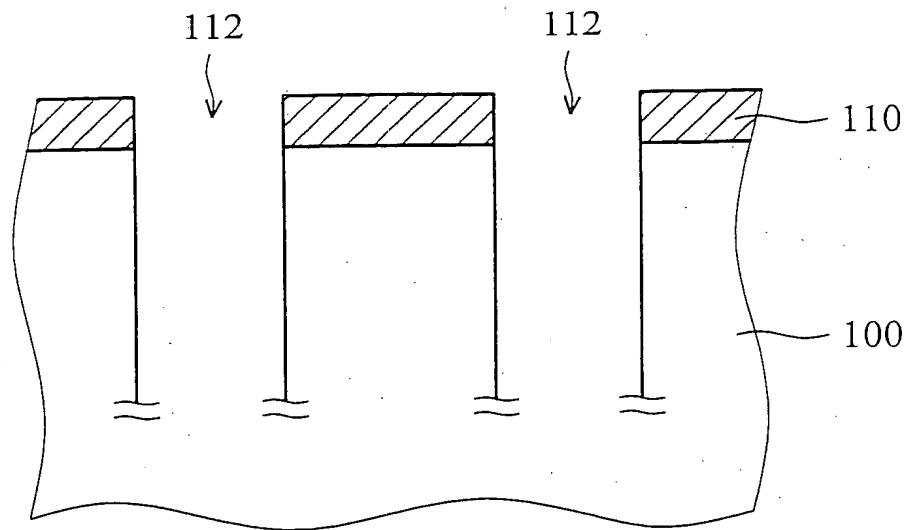
記憶胞的製造方法，其中該含氟離子之傾角度植入製程係植入 F^+ 離子或 BF_2^+ 離子於該第一側壁表面。

18. 如申請專利範圍第15項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該含氟離子之傾角度植入製程之條件包括：能量範圍係15~30keV以及劑量範圍係 $1E14$ ~ $4.5E15$ ions/cm²。

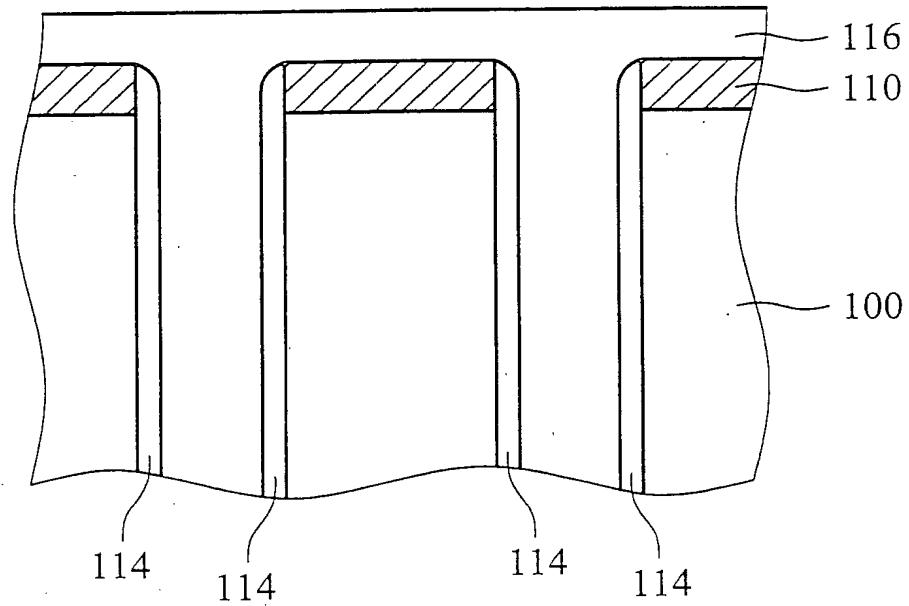
19. 如申請專利範圍第15項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該熱氧化製程之溫度範圍係900~950 °C。

20. 如申請專利範圍第15項或所述之具有單邊埋藏帶之記憶胞的製造方法，其中該閘極氧化層係經由熱氧化法(thermal oxidation)所形成的 SiO_2 層。

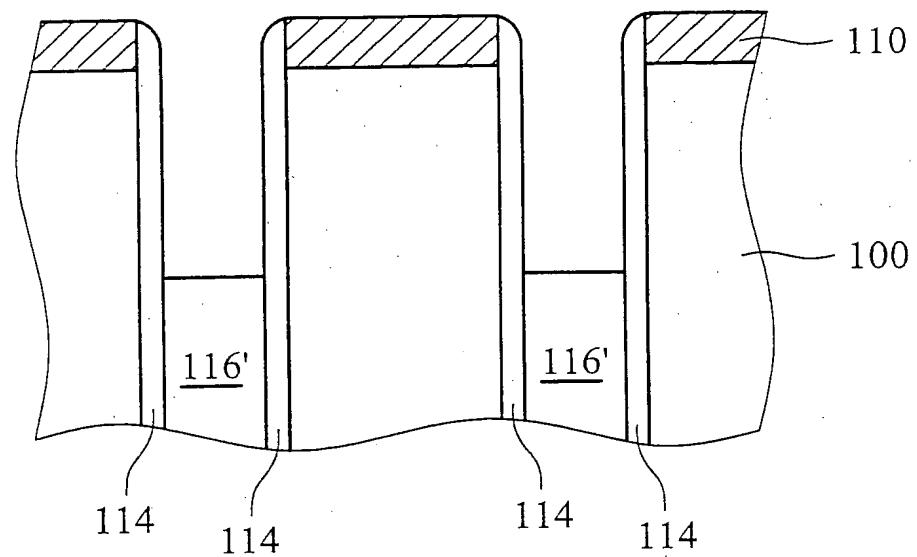




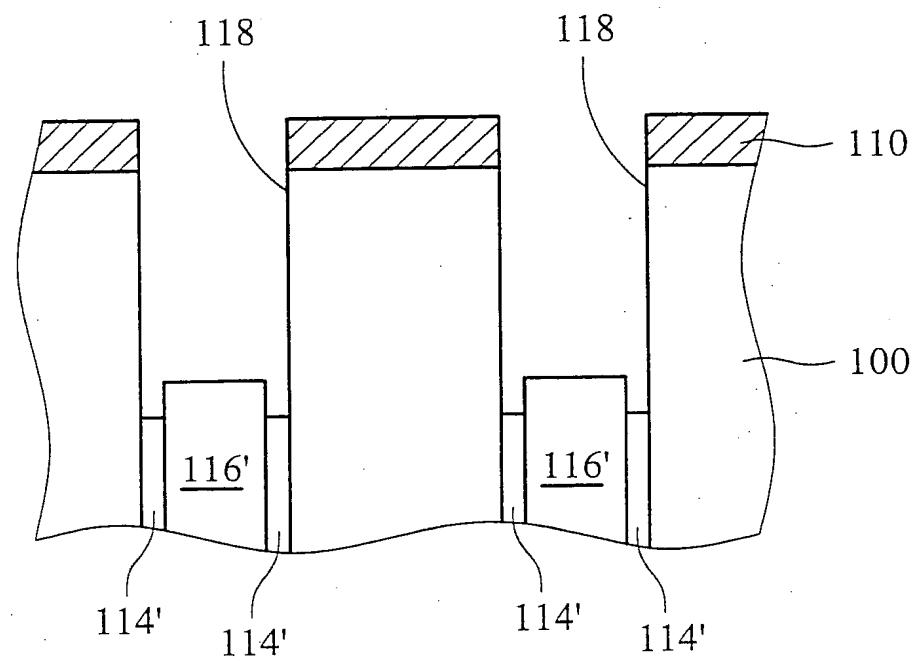
第 1A 圖



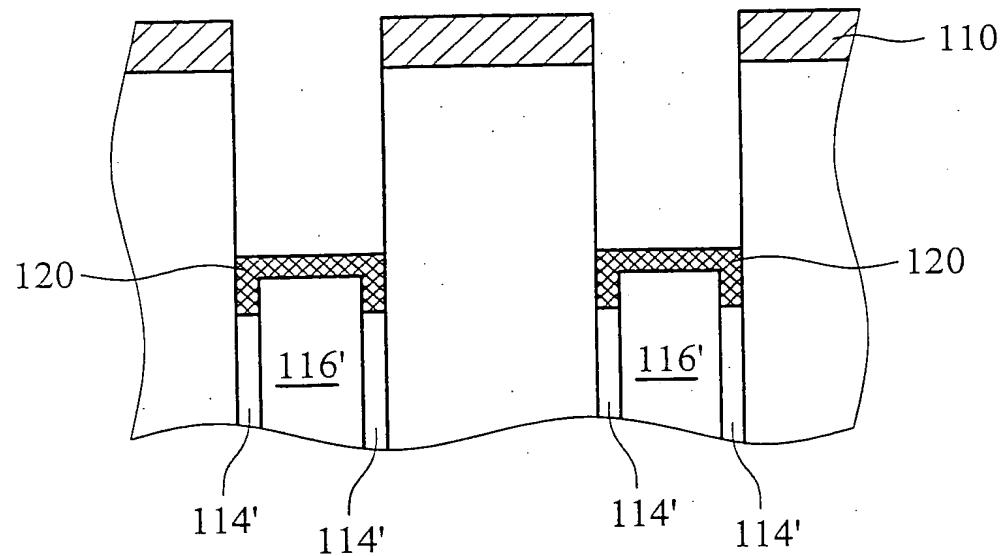
第 1B 圖



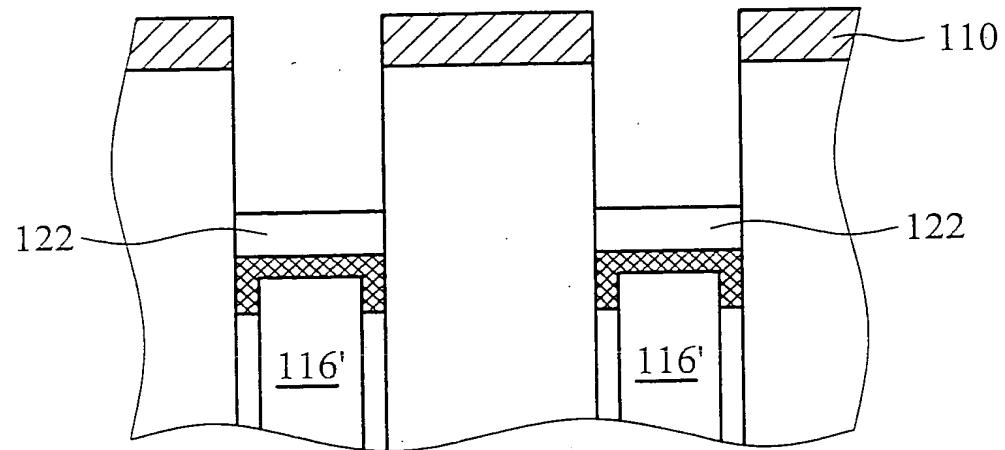
第 1C 圖



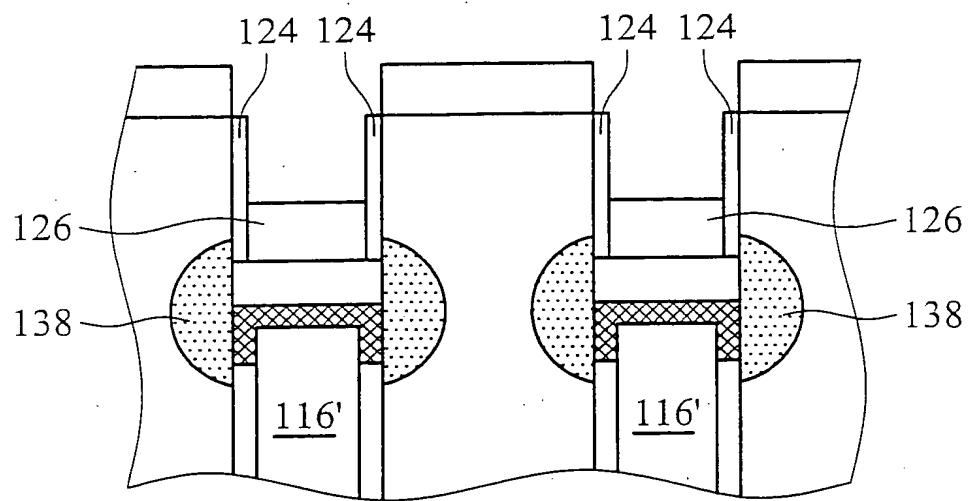
第 1D 圖



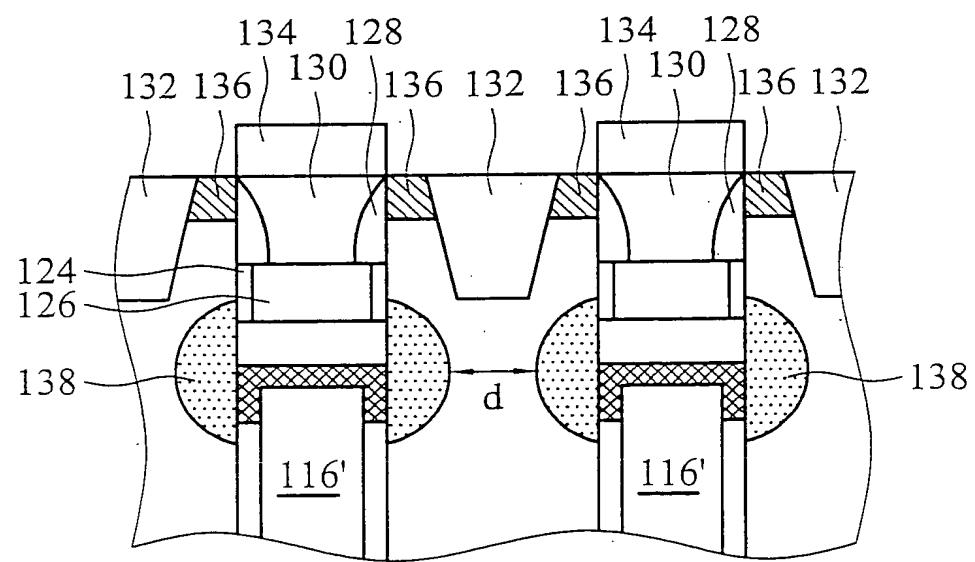
第 1E 圖



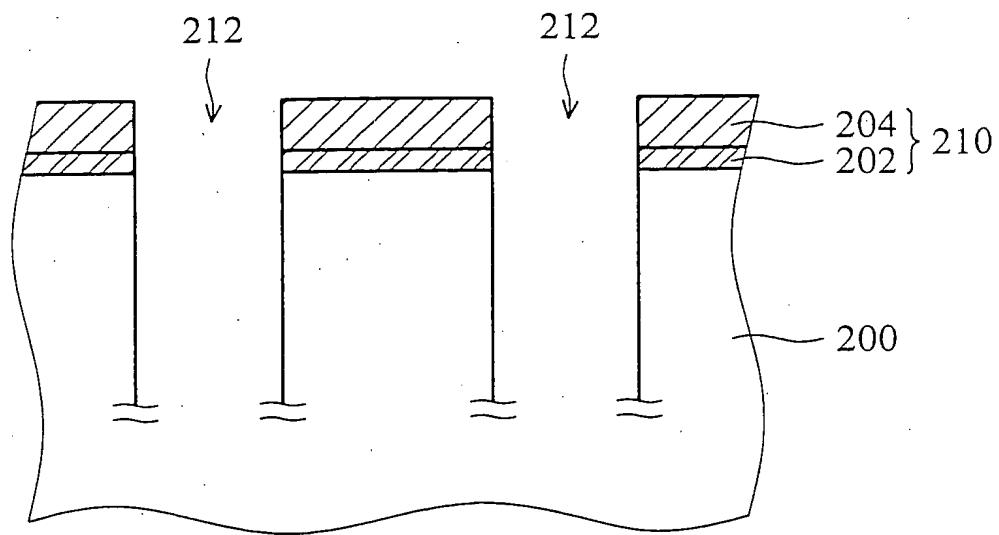
第 1F 圖



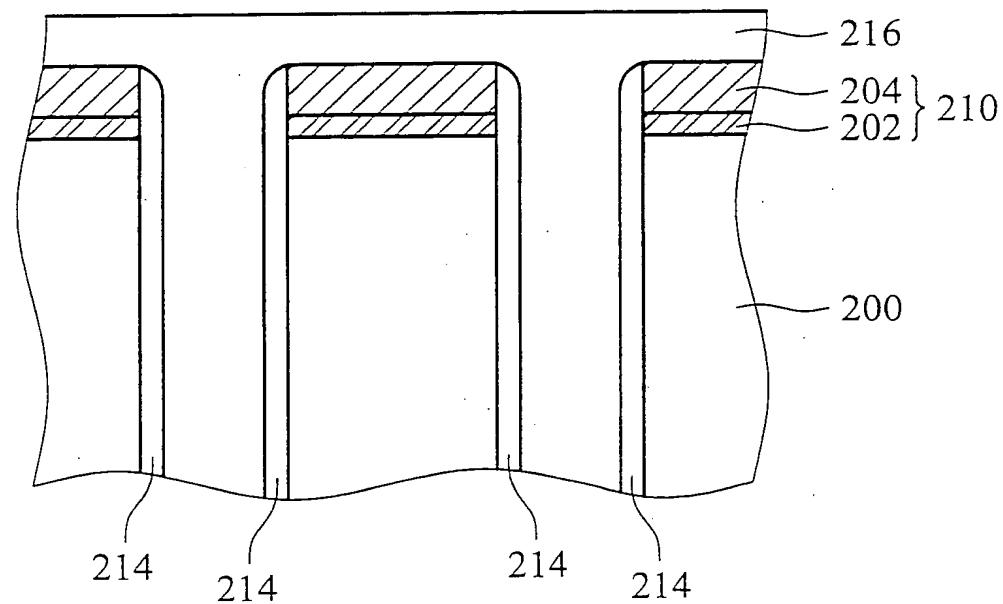
第1G圖



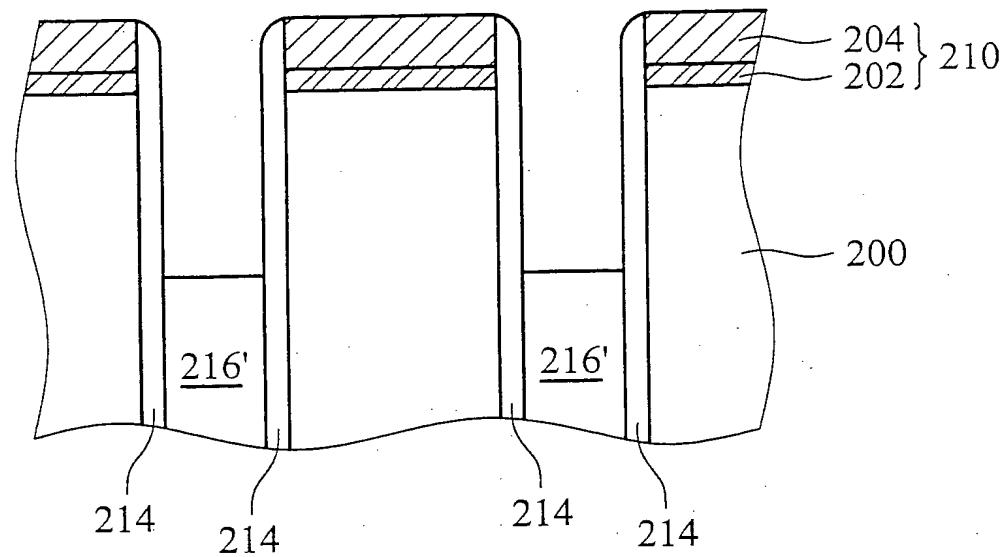
第1H圖



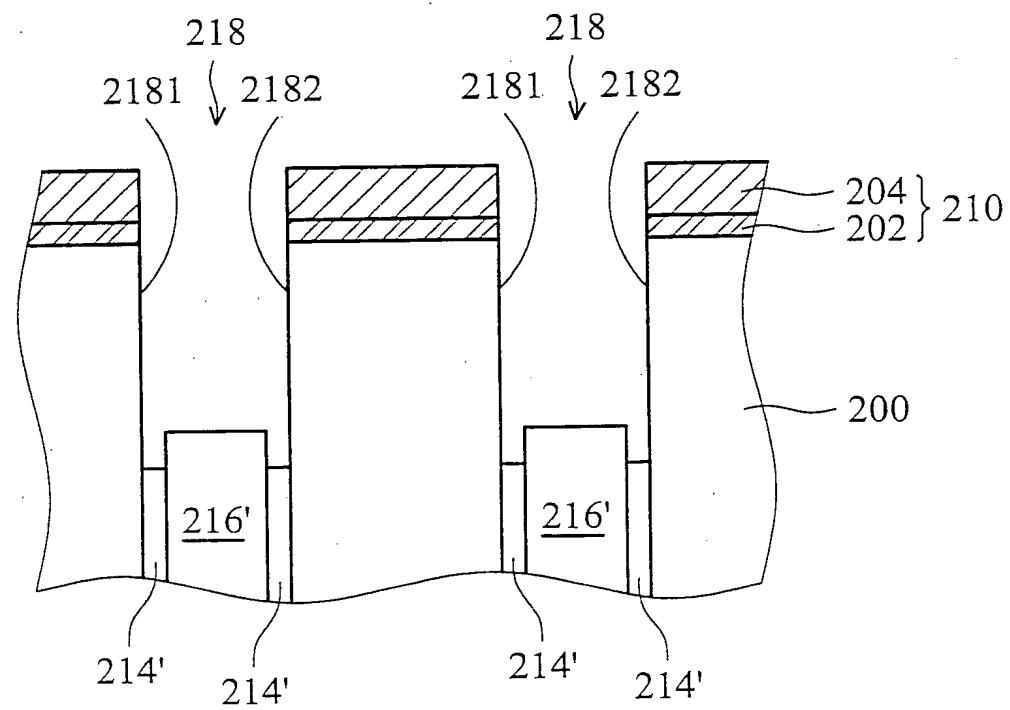
第 2A 圖



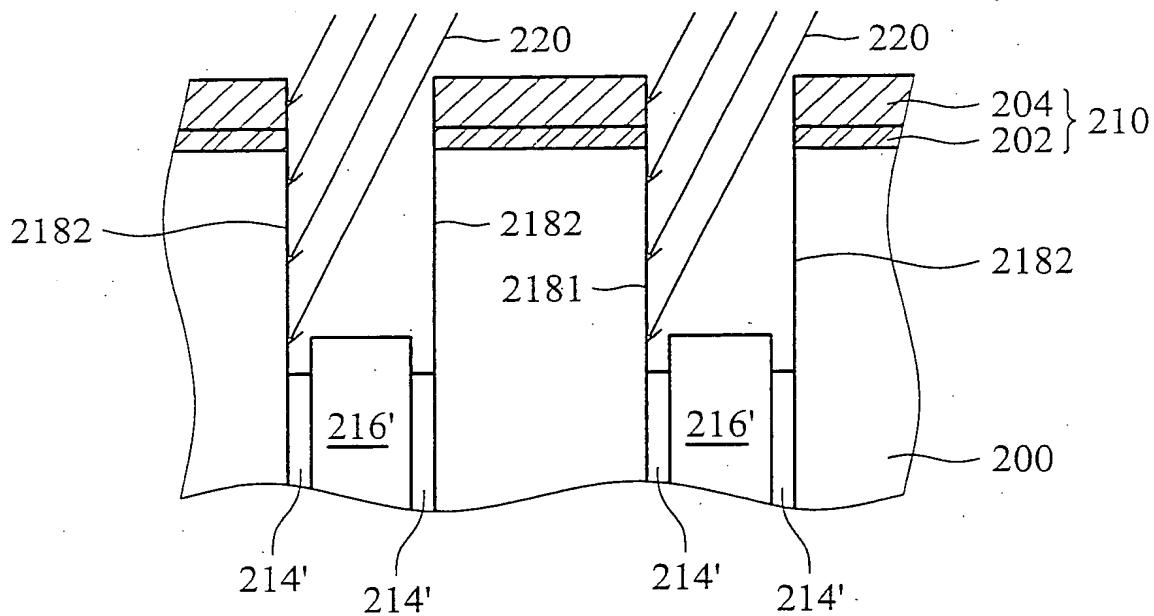
第 2B 圖



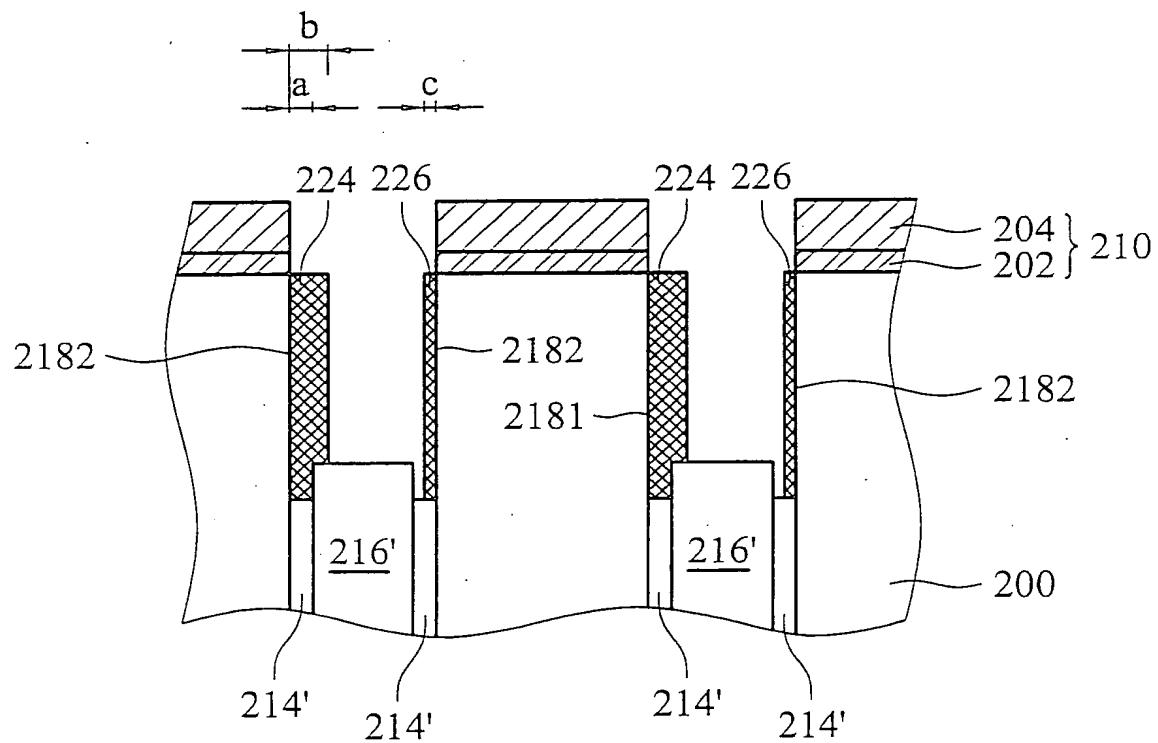
第 2C 圖



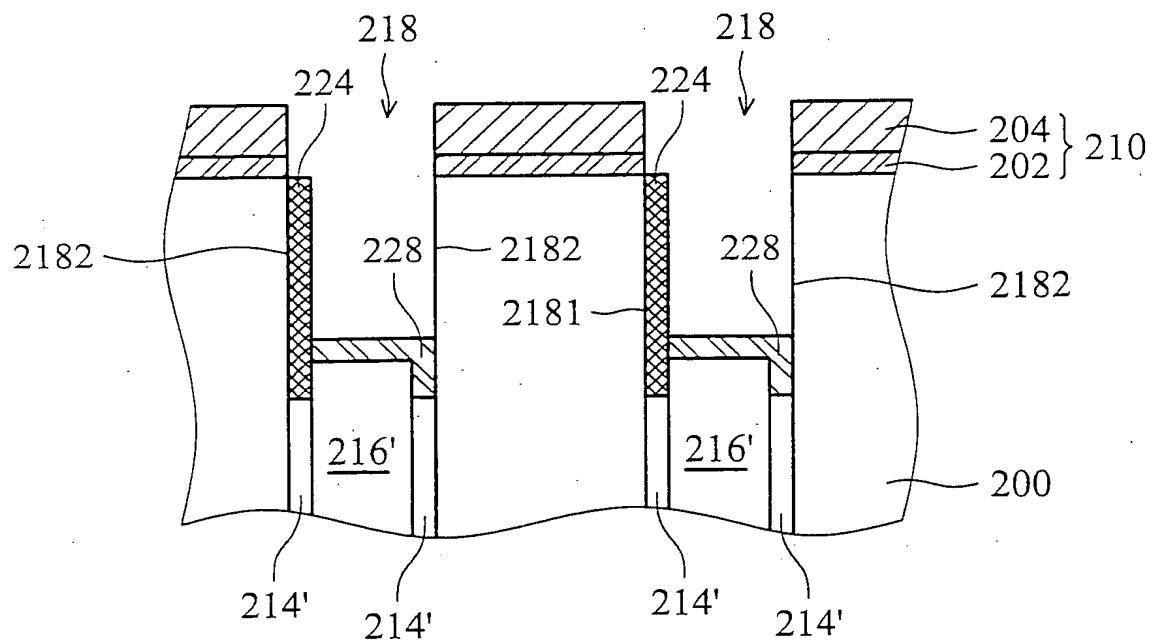
第 2D 圖



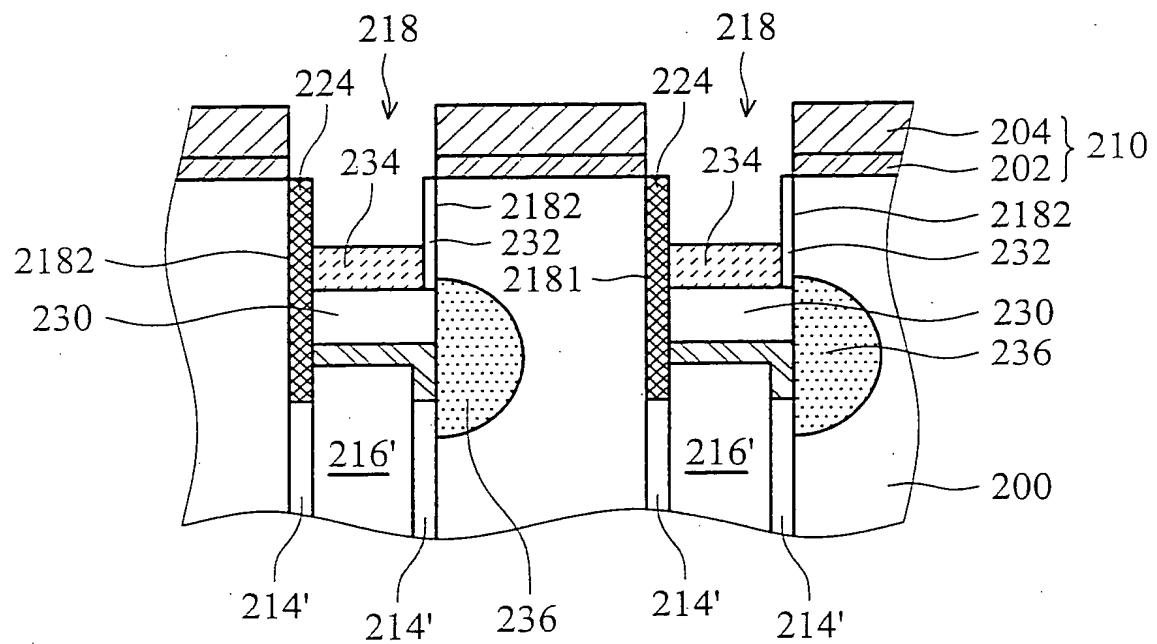
第2E圖



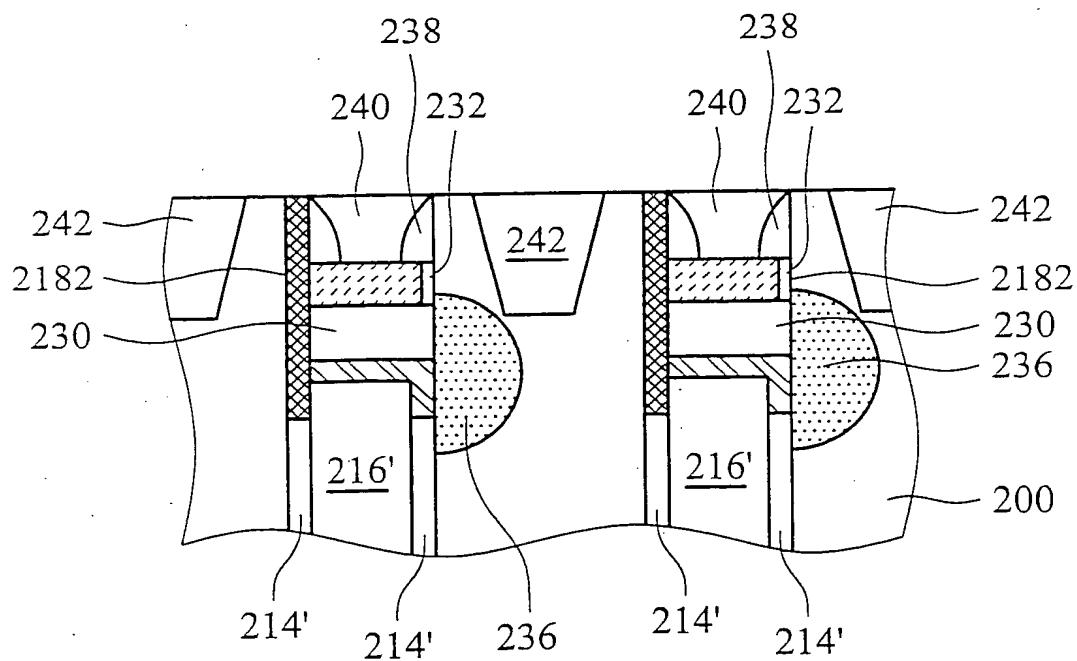
第2F圖



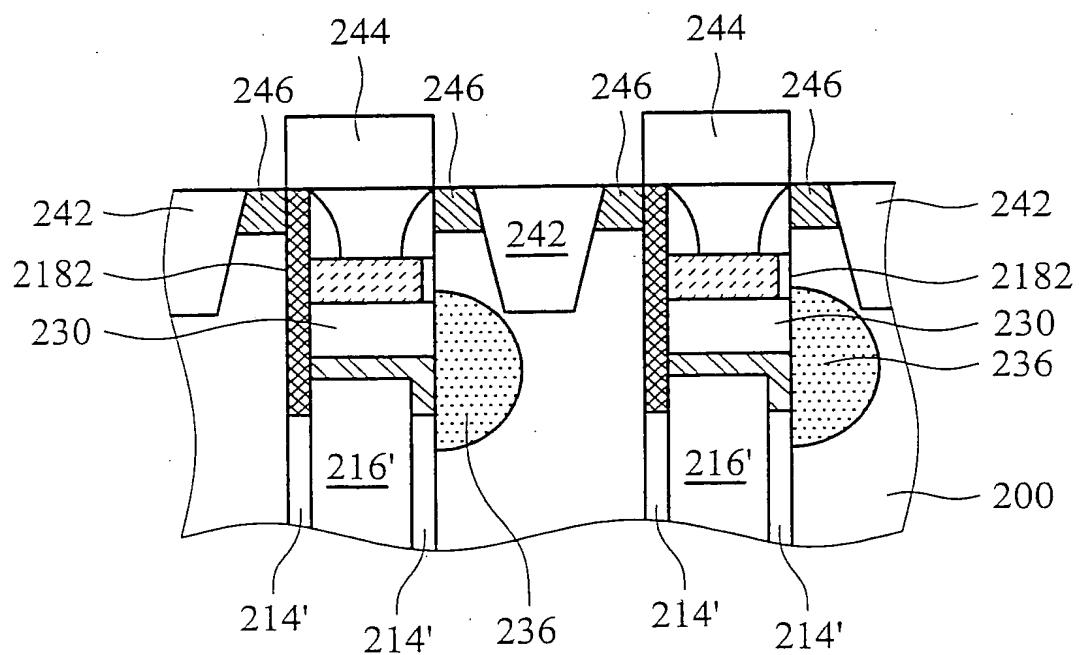
第 2G 圖



第 2H 圖

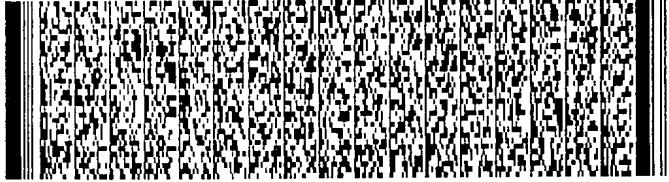


第 21 圖

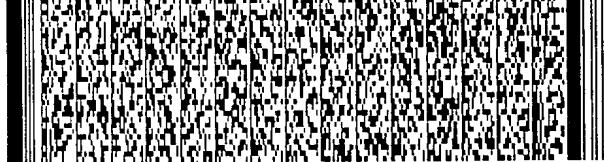


第 2J 圖

第 1/23 頁



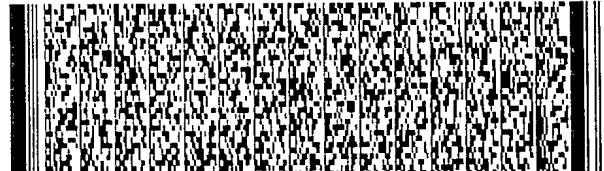
第 2/23 頁



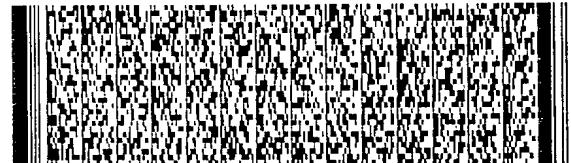
第 4/23 頁



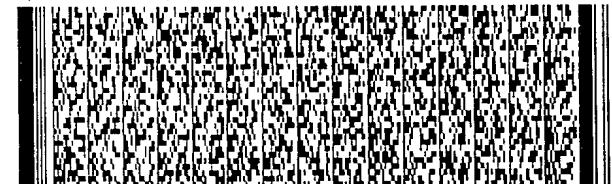
第 6/23 頁



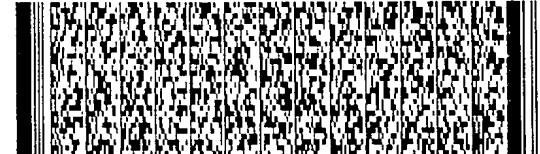
第 7/23 頁



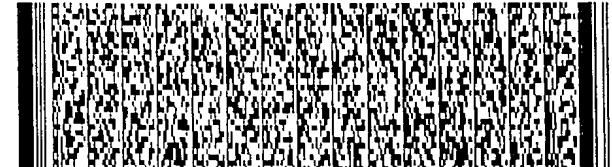
第 8/23 頁



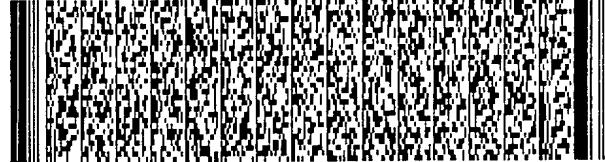
第 9/23 頁



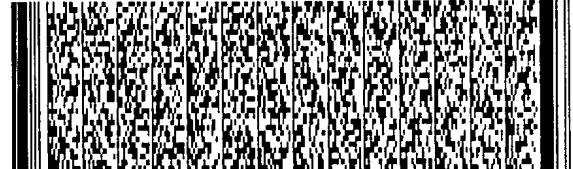
第 10/23 頁



第 2/23 頁



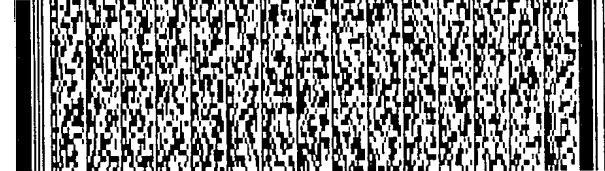
第 3/23 頁



第 5/23 頁



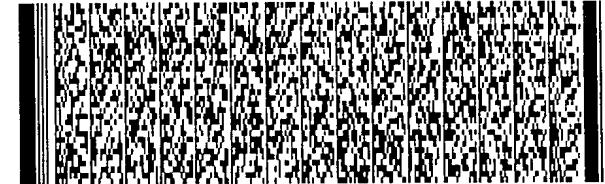
第 6/23 頁



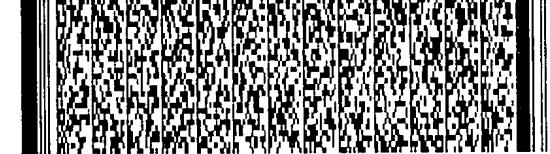
第 7/23 頁



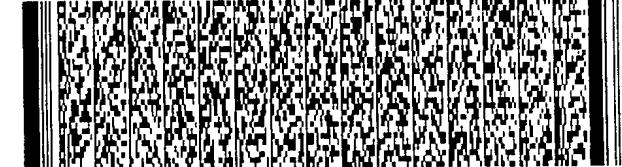
第 8/23 頁



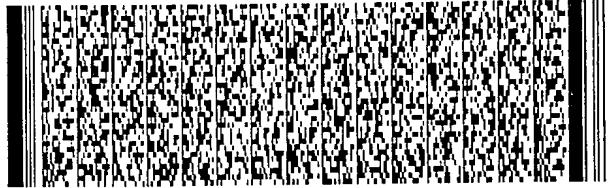
第 9/23 頁



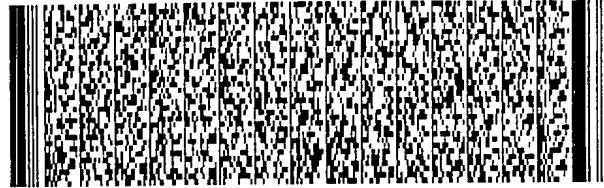
第 10/23 頁



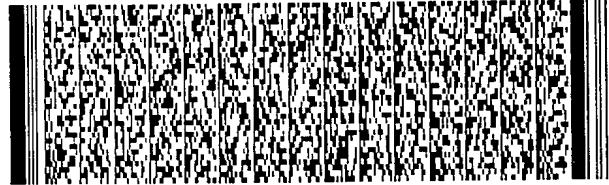
第 11/23 頁



第 11/23 頁



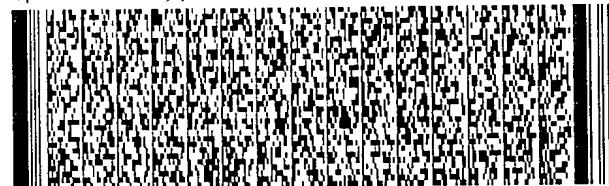
第 12/23 頁



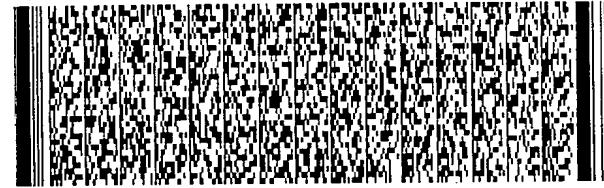
第 12/23 頁



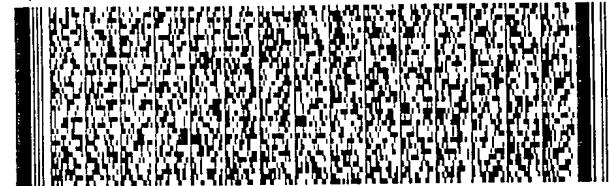
第 13/23 頁



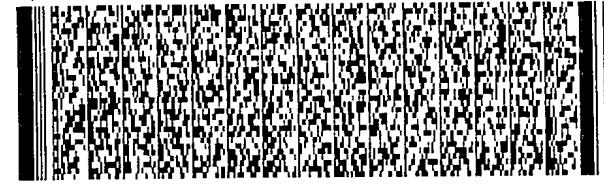
第 13/23 頁



第 14/23 頁



第 14/23 頁



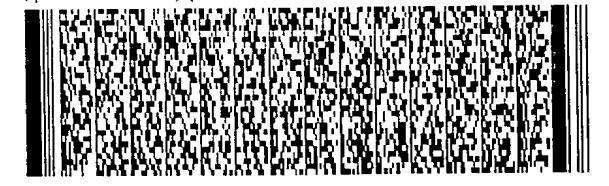
第 15/23 頁



第 15/23 頁



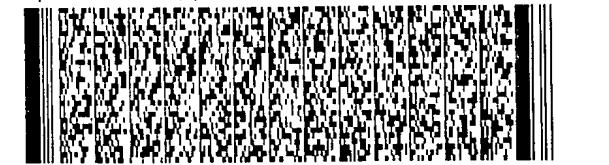
第 17/23 頁



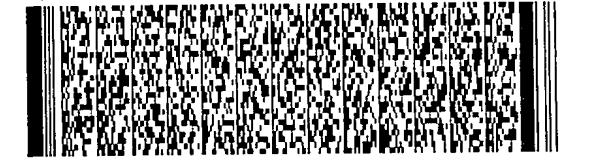
第 17/23 頁



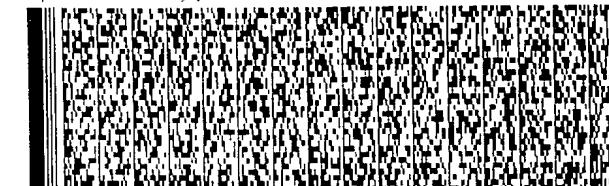
第 19/23 頁



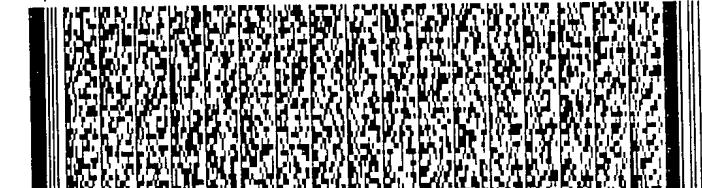
第 19/23 頁



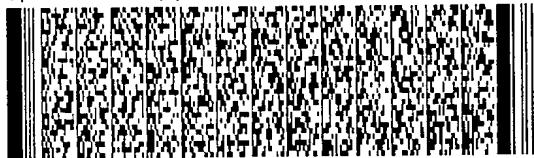
第 20/23 頁



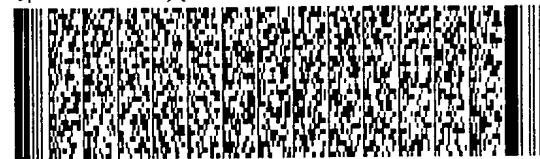
第 21/23 頁



第 22/23 頁



第 22/23 頁



第 23/23 頁



ACE PennWell

SolidState
TECHNO

No. 31
2002 October

半導體及 半導體材料

附件

中文半導體技術雜誌

封面故事

加入商業策略是對未來 12吋晶圓廠樂觀展望之關鍵

- 規則性奈米孔洞
超低介電常數
氧化矽重組之製備
- 採用空制解決方案作為自動化
製程管理
- 磷子植入與汙染的監測技術

BEST AVAILABLE COPY

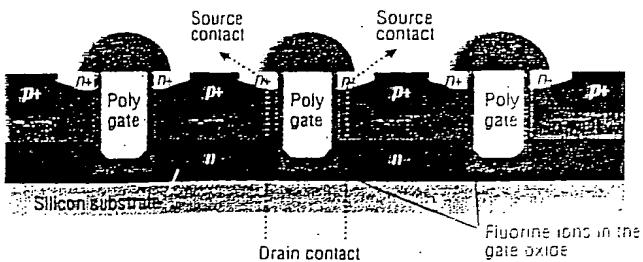
分離式雙擴散功率金氧半元件之 溝渠式閘極氧化層的增強成長

Debra S. Woolsey, Fairchild Semiconductor, West Jordan, Utah

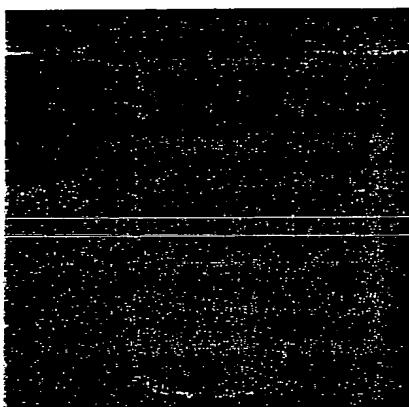
在進行爐管閘極氧化(furnace gate oxidation)程序前的矽基板選擇性氟離子佈植(selectively implanted fluorine)，由實驗顯示可增加氧化層厚度，並改善雙擴散金氧半元件(DMOS)電容的崩潰電壓(V_{bb})，同時允許閘極氧化層(gate oxides)以不同的厚度同時成長。

於半導體業界持續縮減微晶片的尺寸，所以可靠而且高品質的閘極氧化層需求，成為關鍵所在。尤其是在製造溝渠式金屬氧化半導體電晶體(MOS trench transistor)時，更能抵抗崩潰電壓的選擇性成長、高品質氧化層，對元件的可靠度更是不可或缺。所以必須找出成長此種氧化層的其他製程方式，以滿足業界對更高品質氧化層的迫切需求。

本研究介紹雙擴散金氧半元件電容的溝渠式閘極氧化層製程，在預求有層厚氧化膜在矽基板(silicon substrate)溝渠底部區域上，以0度角方式植入淺濃度的氟離子(fluorine ions)或 BF_3 。雖然溝渠底部並不會嚴重影響晶片(die)的功能，不過卻常是電壓崩潰過早發生處，同時顯著的構成溝渠電容。當矽氧化時，被佈植的溝渠底部以加速方式成長，同時在溝渠的側邊上長出傳統氧化層(conventional oxide) (圖一、圖二)。



圖二：溝渠式雙擴散金氧半元件功率 MOSFET 剖面圖



圖一：在 950°C Thermco 爐管中，以 4.5×10^{15} ions / cm^2 劑量氟離子成長的 DMOS 功率溝渠式閘極剖面圖。

於矽基板選擇區域以 BF_3 或氟離子佈植，在標準的爐管乾氧化製程，植入區域的改進成長速度為一般的 2 ~ 3 倍，在淺植入深度裡，數據顯示氧化過程中大部分的氟離子被釋放，所以從晶圓中移除。從基板中釋放氟離子會降低在氧化層產生陷阱電荷(trap charges)的風險，陷阱電荷是由於矽基板中的

高劑量氟離子所造成。所以閘極氧化層選擇區域的厚氧化層能夠被留下，同時保持其高品質。一旦氧化層開始成長，由於成長率與時間、溫度、植入濃度與植入深度有關，所以可能降低其成長趨勢，同時由電性測試可看出成長如何影響結果。

實驗

以量產品質(production-quality)的 150 mm 直徑矽晶圓，製造一系列的實驗用試件，晶圓規格為厚度 600 微米、<100>晶面、硼離子雜質(p-type)。在矽晶圓上的 DMOS，以 0.5 微米線寬蝕刻 1 微米深度的溝渠。矽基板以氟離子或 BF_3 利用 0 度角方式進行佈植，選擇 Eaton GSD 乃基於其能以不同的深度與濃度，配合一個範圍的傾斜與扭轉角度，對標準的量產品質之矽基板進行佈植。選擇 0 度角的原因，在於其選擇能力，可在功率溝渠的底部精確的植入一個區域，對周遭側壁區域產生的干擾很微小。

同時發現 0 度角植入方式，能夠以 5.0×10^{15} ions / cm^2 劑量範圍增加植入接合面(junction)的深度，較業界所使用的標準 7 度角超過 20%。不過 0 度角在峰值位置不具備 10% 軉變(shift)的功能，而現今業界常使用的 7 度角植入方式則有此功能[1]。晶圓以 5 ~ 60 keV 不同的植子能電壓進行測試，相對深度從 0 ~ 1,500 Å 劑量範圍從 1.0×10^{14} ~ 4.5×10^{15} ions / cm^2 。

一批實驗以慣用水平、常壓、Thermco 爐管進行閘極氧化層沉積。製程中使用氬氣來加速，並以 800 ~ 1,175°C 溫度範圍進行乾式氧化(dry oxidation)退火，在閘極氧化製程的氧化階段之前，由蝕刻與後續離子植入所造成的損傷必須先進行退火，以避免在損傷區域生長二氧化矽，於損傷區域生長氧化層將造成非常差的氧 / 矽介面，同時降低閘極氧化物的完整性(gate oxide integrity, GOI)。

第二個實驗基材在 AMAT 的快速熱處理設備內進行，除了於氧化之前先進行氬化熱處理(hydrogen anneal)之外，其他使用的基本參數與前例相同，快速熱處理(RTP)取代了傳統 Thermco 高溫、耗時的爐管熱處理，並且在氧化前，產生氬端鍵結(hydrogen-terminated)矽表面，氬端鍵結於表面消除了 10 ~ 25 Å 厚、品質較差的原生氧化層(native oxide)；而剛清潔的矽表面曝露於空氣中，即會產生原生氧化層。以 1,000°C 溫度、240 torr 壓力進行 60 秒鐘的快速熱處理；所選擇的參數不但具備產生氬端鍵結矽表面的能力，同時能消除退火過程中，氟離子與 BF₂ 植入離子在矽內的擴散。

晶圓隨後置於擴散爐管中，在 800 ~ 1,125°C 不同的溫度範圍間，長出一層厚度 300 Å 的乾式閘極氧化層，此組合的目的在於收集充分的樣品，以便於在氧化膜上進行氟離子影響的比較。

氟離子與 BF₂ 的氧化機制

Deal-Grove 模型為業界廣為接受的乾式矽氧化(dry silicon oxidation)機制，適用於成長超過 30 nm 的純氧化層。模型假設氧化速率是由兩種不同程序的組合所決定，方程式[1]是由矽基板上氧化層成長的真實化學反應所構成，方程式[2]結合了氧擴散穿過氧化物薄膜的[2, 3]。

$$A = 2D_{eff} \left(\frac{1}{k} + \frac{1}{h} \right) \quad (1)$$

$$B = 2D_{eff} \left(\frac{C^*}{N} \right) \quad (2)$$

在上述公式中，k 為氧化物成長的一階比率常數，其中溫度為 k 的函數、C* 為矽基板表面的氧化層厚度、N 為給予氧化層體積內所包含的氧分子數目、h

為氧的氣相輸送係數、D_{eff} 為氧在 SiO₂ 內的擴散係數。Deal-Grove 的線性拋物性速率法則(linear parabolic rate law)組合於方程式[3]中：

$$\frac{dx}{dt} = \frac{F}{N_1} \frac{\left(\frac{kC^*}{N_1} \right)}{\left(1 + \frac{k}{h} + \frac{kx}{D_{eff}} \right)} \quad (3)$$

其中 x 為氧化層厚度、F 為遷移穿過氧化層的總氧分子流通量；F 因為氟離子的存在讓反應速率增加。

於氧化程序前，在矽基板中離子植入氟或 BF₂，讓氟離子沉積進入矽，使用 Deal-Grove 模型以及實驗結果，則可提出氧化層成長增強機制的假設。

當爐管中的溫度上升，矽與氟離子反應生成 Si-F 鍵。於 BF₂ 例子中，氟離子自硼中分解，對矽進行攻擊。Si-F 由於氟離子更大的負電性，更容易鍵結在一起，Si-Si 間的結合能(42.2 kcal / mol)遠較 Si-F 分子之結合能(129.3 kcal / mol)為低，而且與氟離子鍵結的矽原子，由於氟與矽之間大的負電性差異，成為更正電荷的分子。正電荷的 Si-F 分子將負電荷的 O²⁻離子以更快的速度拉向矽表面，因此如同催化劑般形成 SiO₂ 分子。

雖然 Si-Si 與 Si-F 都與氧分子起作用，不過已可確定 Si-F 分子不同於 Si-Si 分子，顯示出與氧分子有更高的反應度，因此造成更厚的氧化層[4, 5]，由圖二可知其適用性：越高的植入劑量，獲得越厚的氧化層。實質上，當劑量增加時，可獲得更多的 Si-F 分子與氧分子起反應。

分子的堆疊密度(packing densities)可以說明氧化層成長增強的第二個原因之一，在 Si-F 提高的矽基板內成長的 SiO₂，較在純矽基板成長的 SiO₂ 具有較低的堆疊密度[4]，較低的堆疊密度允許更多的空間或更大的可及性(accessibility)，讓氧分子擴散穿透矽基板，同時與 Si-F 分子起反應。

引起應力誘導漏電流(stress-induced leakage current)的陷阱產生機制(trap creation mechanism)，依據推測與氬原子有所關聯，引入的氟原子以 Si-F 強鍵取代 Si-H 弱鍵，同時隨後能改善閘極氧化物完整性(gate oxide integrity, GOI)。然而陷在矽裡的大量氟離子，會因在氧化層以及介面產生陷阱電荷而使得 GOI 惡化。此

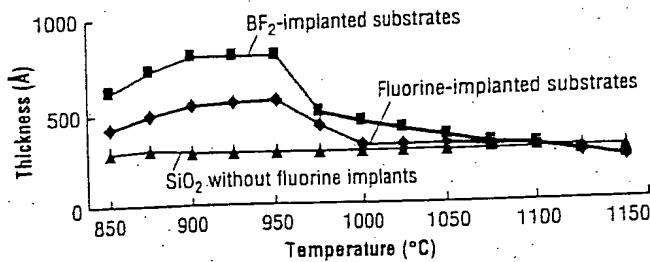
即可解釋為什麼在過去的實驗裡，中度劑量的氟離子植入會得到較高的改善[6]。

結果

相對於氟離子基， BF_2 分子的植入可以獲得更大的厚度(圖三)。數據顯示分子尺寸會導致厚度增加上的差異，氧化反應速率不應該隨著 BF_2 分子的分解速率而增加(BF_2 分子的限制反應不是 BF_2 的分解以製造氟離子，而是氟離子的氧化能力，所以 BF_2 不會較沉積或植入矽基板的純氟離子基具有優勢)。不過 BF_2 分子在植入階段，會產生更多的表面損傷(surface damage)，讓氧分子在介面上更易於與矽起反應。氟離子與 BF_2 植入時所造成的損傷，可使用 Thermowave 設備以找出其損傷程度。

由第二批實驗晶圓可證明此理論，基材的損傷是由於氧化前 RTP 所進行的氫化熱處理。在這批測試中， BF_2 並不會較氟離子有更高的成長率，所以表面損傷在氧化成長階段舉足輕重的理論是有依據的。 BF_2 與氟離子所造成的損傷量與氧化層的增加厚度有直接的關聯，然而表面損傷的增加會帶來更明顯的崩潰電壓，當氧化層在矽表面受損區域成長時，會產生增大的崩潰。

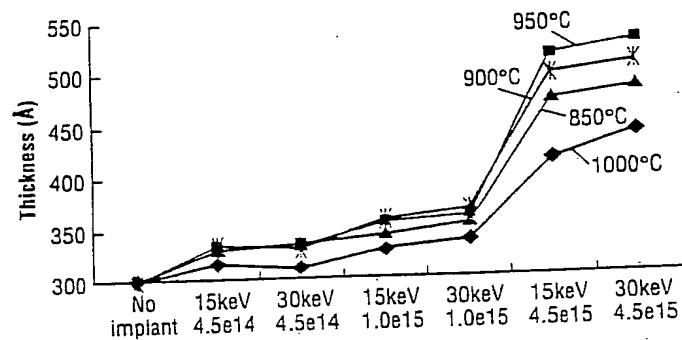
實驗證明晶圓在 900 ~ 950°C 的溫度範圍進行測試，具有增加氧化物厚度的最大成長潛能(圖三)，然而當溫度從 950°C 增加到 1,100°C 時，由於能量充分提供， $F\text{-Si}$ 鍵結開始被打破，因此造成了自由的氟離子基，減少可獲得的正電荷 $F\text{-Si}$ 分子數量。當 $F\text{-Si}$ 鍵結濃度降低，氧化速率亦降低。溫度超過 1,100°C 時，數據顯示氟離子與氧化物的成長會彼此競爭。在更高的能量以及更高的氟離子濃度時，推測會產生不穩定的與揮發性的 SiF_4 分子，而非 $Si\text{-F}$ 分子， SiF_4 分子會攻擊



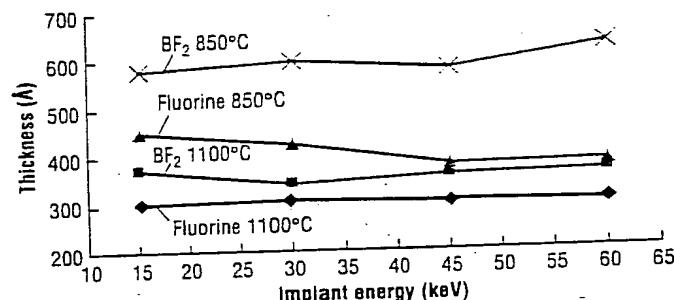
圖三：在 4.5×10^{15} ions / cm^2 劑量的氟離子與 BF_2 條件下，由擴圓偏光儀所量測的氧化物厚度與溫度關係。

Si-O-Si 鍵[4]。

圖四說明植入氟離子的劑量在 $4.5 \times 10^{14} \sim 4.5 \times 10^{15}$ ions / cm^2 之間，能量從 15 ~ 30keV，於 900 ~ 950°C 溫度範圍，其厚度增加的一致性。由實驗證明當能量自 5 keV 增加到 60 keV 時，只要劑量保持穩定，並維持在 1.0×10^{14} 到 4.5×10^{15} ions / cm^2 間，對厚度的影響極小(圖四與圖五)。



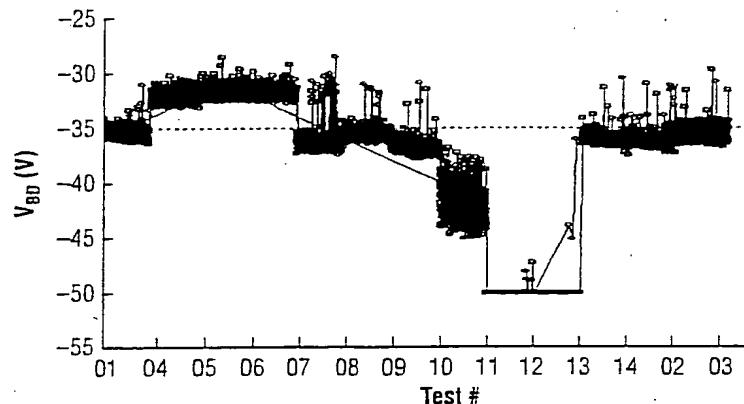
圖四：晶圓以 950°C 氧化與退火所得到的崩潰電壓量測值



圖五：在不同溫度以氟離子植入之晶圓，以擴圓偏光儀量測之氧化物厚度與能量關係。

然而可以明顯的看出，當增加的能量超過 60 keV 時，厚度 300 Å 的氧化層生長階段，植入深度因為太大(>1400 Å)而無效。超過 300 Å 深度植入的氟離子會被侷限在矽內，造成富含電子區域或在氧化層的陷阱電荷，兩者對雙擴散金氧半元件電容均有害。決定陷阱電荷數量的平台測試顯示，小於 200 Å 深度或 10 keV 能量植入的氟離子，並不會較正常的非植入閘極氧化層有更多的陷阱電荷，上述現象導致一種理論，即氧化階段至少有一些氟離子必須自閘極氧化層釋放出來。有趣的是，數據顯示 BF_2 並不會從氧化層中釋放出，因此很可能引起極差的電壓崩潰，不過並未獲得充分的數據可以證明此種理論。

Test #	Dose (ions/cm ²)	Dose (keV)
01	1.0e14	5
02	1.0e14	10
03	1.0e14	15
04	4.5e14	5
05	4.5e14	10
06	4.5e14	15
07	1.0e15	5
08	1.0e15	10
09	1.0e15	15
10	4.5e15	5
11	4.5e15	10
12	4.5e15	15
13	No implant	N/A
14	No implant	N/A



圖六：在 950°C 氧化之氟離子植入晶圓的崩潰電壓量測值。負數值越大，崩潰電壓改善的越多(在不同的製程時間所繪的圖；15 個測試的原始結果)。

當對崩潰電壓以及電性厚度(V_{crit} , electrical thickness)進行增強氧化層的電性影響分析時，顯示出一有趣的趨勢(圖四與圖六)，在以低劑量(1.0×10^{14} ions / cm²) 氟離子植入的區域，崩潰電壓並未顯示出可量測的差異；即使橢圓偏光儀(ellipsometer)在厚度上顯示出輕微的實質增加，在電性或崩潰電壓上也無顯著的差異。

然而當劑量增加到 4.5×10^{14} ions / cm² 時，控制實驗組 13 與 14 的崩潰電壓衰減 14%，電性厚度減少 <3% 的微量。然而橢圓偏光儀在 4.5×10^{14} ions / cm² 範圍內進行量測，證實了氧化層增加 10%；上述數據意謂著在低濃度的 F- 級子狀態，其成長的可能性很低，在由植入離子損壞區域成長的氧化層造成品質較差的氧化物，有趣的是當劑量從 4.5×10^{14} 增加至 4.5×10^{15} ions / cm² 時，崩潰電壓值獲得改善。於控制實驗組 10，崩潰電壓在能量平均值為 5 keV 或 50 Å 的深度時，增加至 42.5 V，增加了驚人的 15%，而電性的厚度則增加至 400 Å 左右，增強了 33%。橢圓偏光儀顯示 530 Å 的厚度，相對於參考試片約 76.7% 的增加量。

結論

實驗數據明確的顯示，乾式氧化層生成的穩定增加與植入氟離子以及 BF₂ 的增加量有關聯性，氟離子與 BF₂ 的劑量範圍自 1×10^{14} ~ 4.5×10^{15} ions / cm²。氟離子與 BF₂ 的最佳氧化物成長溫度，在 Thermco 常壓水平式爐管為攝氏 900 ~ 950 度。而且實驗也顯示由於 BF₂ 會造成嚴重的損傷，所以較氟離子有更快的氧化物成長速率，不過由於損傷程度的增加，會產生較差的崩

潰電壓值。

以較淺的 50 ~ 200 Å 深度進行氟離子佈植以成長薄閻極氧化層，由實驗證明最佳化溫度能以 4.5×10^{15} ions / cm² 的劑量，增加 76.6% 的氧化層成長，同時崩潰電壓較傳統的薄膜氧化層

成長製程能獲得 15% 的改善。實驗數據顯示由於在氧化層內並無陷阱電荷，至少有些氟離子在 SiO₂ 成長過程會被釋放，當高劑量的氟離子出現時，此種現象已知將會惡化氧化層的整體性。

在選擇區域使用選擇性的氟離子增強之氧化製程，能有較厚的氧化層同時在未植入區生成薄的氧化層，而不影響其品質。SST-T

參考文獻

1. V. Raineri et al., Semiconductor Science and Technology, Vol. 5, 1007-1012, 1990.
2. T.K. Whidden, P. Thanikasalam, M.J. Rack, D.K. Ferry, Journal Vacuum Science Technology, B13(4), July/Aug. 1995.
3. B.E. Deal, A.S. Grove, Journal of Applied Physics, 36, 3770, 1965.
4. M. Morita, T. Kubo, T. Ishihara, M. Hirose, Appl. Phys. Lett., 45, 1312, 1984.
5. D. Kouvatsos et al., Electrochemical Society, 138, 1752, 1991.
6. C. Chen et al., 5th Intl. Symp. Plasma Process-Induced Damage, 121-4, 2000.

作者

Debra Woolsey Fairchild Semiconductor 製程發展工程師，聯絡地址：3333 W. 9000 S., West Jordan, UT 84088；聯絡電話：801 / 5627079；傳真：801 / 5627337；電子郵件信箱：Debra.S.Woolsey@fairchildsemi.com。